

#3d
4-22-02

Docket No.: 57454-334

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Satoshi KUMAKI, et al.

Serial No.:

Group Art Unit: 2187

Filed: January 24, 2002

Examiner: NGOC DINH



For: DATA PROCESSOR AND DATA PROCESSING METHOD REDUCED IN POWER
CONSUMPTION DURING MEMORY ACCESS

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-172339, filed June 7, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: January 24, 2002
Facsimile: (202) 756-8087

57454-334
KUMAKI et al
January 24, '01

日 本 国 特 許 庁 McDermott, Will & Em.
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月 7日

出 願 番 号

Application Number:

特願2001-172339

出 願 人

Applicant(s):

三菱電機株式会社
モシニャガ・ワシリー

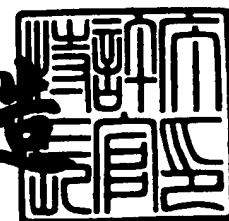
JC825 U.S. PTO
10/053545
01/24/02

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-307843

【書類名】 特許願

【整理番号】 530008JP01

【提出日】 平成13年 6月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 熊木 哲

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 松村 哲哉

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 瀬川 浩

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 花見 充雄

【発明者】

 【住所又は居所】 福岡市城南区梅林2-5-32 カイザービル304

 【氏名】 モシニヤガ・ワシリー

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【特許出願人】

 【識別番号】 598132864

【氏名又は名称】 モシニャガ・ワシリー

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置およびデータ処理方法

【特許請求の範囲】

【請求項 1】 ランダムアクセスメモリと、

前記ランダムアクセスメモリにアクセスしながらデータ処理を行う処理部と、
前記処理部が前記ランダムアクセスメモリにデータを書込む際に、前記データのうち所定値を有するビットの数が所定数以上となるように、前記データを変換して前記ランダムアクセスメモリへ出力する変換部とを含むデータ処理装置。

【請求項 2】 前記変換部は、前記処理部が前記ランダムアクセスメモリにデータを書込む際に、前記データのうち第 1 の値を有するビットの数が、前記第 1 の値と異なる第 2 の値を有するビットの数以上であるか否かを検出してフラグを設定する検出回路と、

前記データを反転して出力する第 1 の反転回路と、

前記検出回路によって設定されたフラグに基づいて、前記データと前記第 1 の反転回路から出力される反転データとを選択的に前記ランダムアクセスメモリへ出力する第 1 の選択回路とを含む、請求項 1 記載のデータ処理装置。

【請求項 3】 前記データ処理装置はさらに、前記ランダムアクセスメモリから出力されるデータを反転して出力する第 2 の反転回路と、

前記処理部が前記ランダムアクセスメモリからデータを読み出す際に、前記フラグに基づいて、前記ランダムアクセスメモリから出力されるデータと、前記第 2 の反転回路から出力される反転データとを選択的に前記処理部へ出力する第 2 の選択回路とを含む、請求項 2 記載のデータ処理装置。

【請求項 4】 ランダムアクセスメモリと、

前記ランダムアクセスメモリにアクセスしながらデータ処理を行う処理部と、
前記処理部が出力した前回のデータを保持する第 1 の保持回路と、

前記処理部が前記ランダムアクセスメモリにデータを書込む際に、前記保持回路に保持される前回のデータと前記処理部が出力する今回のデータとの差分をとる差分器とを含むデータ処理装置。

【請求項 5】 前記データ処理装置はさらに、前記差分器から出力された差

分データを可変長符号化して前記ランダムアクセスメモリへ出力する可変長符号化器を含む、請求項4記載のデータ処理装置。

【請求項6】 前記データ処理装置はさらに、前記処理部が前記ランダムアクセスメモリにデータを書込むタイミングのうち、最初のデータの書込みタイミングを含んだ所定周期のデータの書込みタイミングを検出する第1の検出回路と

前記第1の検出回路によって検出されたタイミングにおいて前記処理部から出力されるデータを選択して出力し、前記第1の検出回路によって検出されたタイミング以外のタイミングにおいて前記差分器から出力される差分データを選択して出力する第1のセレクタとを含む、請求項4または5記載のデータ処理装置。

【請求項7】 前記データ処理装置はさらに、前記処理部へ出力された前回のデータを保持する第2の保持回路と、

前記ランダムアクセスメモリから出力される差分データと前記第2の保持回路によって保持される前回のデータとを加算する加算器とを含む、請求項4～6のいずれかに記載のデータ処理装置。

【請求項8】 前記データ処理装置はさらに、前記ランダムアクセスメモリから出力される可変長符号化された差分データを可変長復号化して前記加算器へ出力する可変長復号化器を含む、請求項7記載のデータ処理装置。

【請求項9】 前記データ処理装置はさらに、前記処理部がデータを読み出すタイミングのうち、最初のデータの読み出しタイミングを含んだ所定周期のデータの読み出しタイミングを検出する第2の検出回路と、

前記第2の検出回路によって検出されたタイミングにおいて前記ランダムアクセスメモリから出力されるデータを選択して出力し、前記第2の検出回路によって検出されたタイミング以外のタイミングにおいて前記加算器から出力されるデータを選択して出力する第2のセレクタとを含む、請求項7または8記載のデータ処理装置。

【請求項10】 ランダムアクセスメモリにアクセスしながらデータ処理を行うデータ処理方法であって、

書込みデータのうち所定値を有するビットの数が所定数以上となるように、前

記書込みデータを変換するステップと、

前記変換された書込みデータを前記ランダムアクセスメモリに書込むステップとを含む、データ処理方法。

【請求項 1 1】 ランダムアクセスメモリにアクセスしながらデータ処理を行うデータ処理方法であって、

前回の書込みデータを保持するステップと、

前記保持された前回の書込みデータと今回の書込みデータとの差分をとるステップと、

前記差分データを前記ランダムアクセスメモリに書込むステップとを含む、データ処理方法。

【請求項 1 2】 前記データ処理方法はさらに、前記差分データを可変長符号化するステップを含む、請求項 1 1 記載のデータ処理方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリにアクセスしながら処理を行うデータ処理装置およびその方法に関し、特に、メモリアクセス時における消費電力の低減を図ったデータ処理装置およびデータ処理方法に関する。

【0 0 0 2】

【従来の技術】

近年、マイクロプロセッサの処理速度が飛躍的に向上し、それに伴ってマイクロプロセッサのクロック周波数や、マイクロプロセッサがメモリにアクセスする頻度が増加して、マイクロプロセッサを搭載したデータ処理装置全体の消費電力が増加する傾向にある。

【0 0 0 3】

一方、携帯情報機器のように、バッテリーによって動作するデータ処理装置においては、動作時間を長くするために、データ処理装置全体の消費電力を低減する技術が不可欠となっている。

【0 0 0 4】

【発明が解決しようとする課題】

従来のデータ処理装置においては、搭載されるメモリとして、SRAM (Static Random Access Memory) や DRAM (Dynamic Random Access Memory) が使用される場合が多い。この中でも特に、SRAMは1ビットの情報を記憶する単位回路がフリップフロップ回路によって構成され、その回路の多くがCMOS (Complementary Metal Oxide Semiconductor) 回路で構成されているため、データの書込み時にメモリ素子に記憶されるデータが反転すると、SRAMの消費電力が大きくなる。

【0005】

しかし、従来のデータ処理装置においては、データバスにSRAM等のメモリが直結されている場合が多く、メモリにランダムなデータが書込まれてメモリ素子に記憶されるデータが頻繁に切替わって、消費電力を削減することができないという問題点があった。

【0006】

本発明は、上記問題点を解決するためになされたものであり、第1の目的は、書込みデータを変換して、データ書込み時におけるメモリの消費電力を削減することが可能なデータ処理装置およびデータ処理方法を提供することである。

【0007】

本発明の第2の目的は、メモリに対するアクセス頻度を少なくして、メモリアクセス時におけるメモリの消費電力を削減することが可能なデータ処理装置およびデータ処理方法を提供することである。

【0008】

【課題を解決するための手段】

請求項1に記載のデータ処理装置は、ランダムアクセスメモリと、ランダムアクセスメモリにアクセスしながらデータ処理を行う処理部と、処理部がランダムアクセスメモリにデータを書込む際に、データのうち所定値を有するビットの数が所定数以上となるように、データを変換してランダムアクセスメモリへ出力する変換部とを含む。

【0009】

変換部は、書込みデータのうち所定値を有するビットの数が所定数以上となるように、データを変換してランダムアクセスメモリへ出力するので、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となる。

【0010】

請求項2に記載のデータ処理装置は、請求項1記載のデータ処理装置であって、変換部は処理部がランダムアクセスメモリにデータを書込む際に、データのうち第1の値を有するビットの数が、第1の値と異なる第2の値を有するビットの数以上であるか否かを検出してフラグを設定する検出回路と、データを反転して出力する第1の反転回路と、検出回路によって設定されたフラグに基づいて、データと第1の反転回路から出力される反転データとを選択的にランダムアクセスメモリへ出力する第1の選択回路とを含む。

【0011】

したがって、第1の値または第2の値を有するビットの数が常に多くなるようにデータを変換することが可能となる。

【0012】

請求項3に記載のデータ処理装置は、請求項2記載のデータ処理装置であって、さらにランダムアクセスメモリから出力されるデータを反転して出力する第2の反転回路と、処理部がランダムアクセスメモリからデータを読出す際に、フラグに基づいて、ランダムアクセスメモリから出力されるデータと、第2の反転回路から出力される反転データとを選択的に処理部へ出力する第2の選択回路とを含む。

【0013】

したがって、処理部がランダムアクセスメモリからデータを読出す際に、元のデータを復元することが可能となる。

【0014】

請求項4に記載のデータ処理装置は、ランダムアクセスメモリと、ランダムアクセスメモリにアクセスしながらデータ処理を行う処理部と、処理部が出力した

前回のデータを保持する第1の保持回路と、処理部がランダムアクセスメモリにデータを書込む際に、保持回路に保持される前回のデータと処理部が出力する今回のデータとの差分をとる差分器とを含む。

【0015】

差分器は、保持回路に保持される前回のデータと処理部が出力する今回のデータとの差分をとるので、データ間の相関が高い場合に、“0”のビット数が多くなるようにデータを変換することができる。したがって、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となる。

【0016】

請求項5に記載のデータ処理装置は、請求項4に記載のデータ処理装置であって、さらに差分器から出力された差分データを可変長符号化してランダムアクセスメモリへ出力する可変長符号化器を含む。

【0017】

したがって、ランダムアクセスメモリへのデータの書込み頻度を少なくすることができ、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となる。

【0018】

請求項6に記載のデータ処理装置は、請求項4または5に記載のデータ処理装置であって、さらに処理部がランダムアクセスメモリにデータを書込むタイミングのうち、最初のデータの書込みタイミングを含んだ所定周期のデータの書込みタイミングを検出する第1の検出回路と、第1の検出回路によって検出されたタイミングにおいて処理部から出力されるデータを選択して出力し、第1の検出回路によって検出されたタイミング以外のタイミングにおいて差分器から出力される差分データを選択して出力する第1のセレクタとを含む。

【0019】

したがって、処理部から出力されるデータと差分データとの選択を適切に行うことが可能となる。

【0020】

請求項7に記載のデータ処理装置は、請求項4～6のいずれかに記載のデータ処理装置であって、さらに処理部へ出力された前回のデータを保持する第2の保持回路と、ランダムアクセスメモリから出力される差分データと第2の保持回路によって保持される前回のデータとを加算する加算器とを含む。

【0021】

したがって、ランダムアクセスメモリに記憶された差分データから元のデータを復元することが可能となる。

【0022】

請求項8に記載のデータ処理装置は、請求項7記載のデータ処理装置であって、さらにランダムアクセスメモリから出力される可変長符号化された差分データを可変長復号化して加算器へ出力する可変長復号化器を含む。

【0023】

したがって、ランダムアクセスメモリからのデータの読出し頻度を少なくすることができ、データ読出し時におけるランダムアクセスメモリの消費電力を削減することが可能となる。

【0024】

請求項9に記載のデータ処理装置は、請求項7または8記載のデータ処理装置であって、さらに処理部がデータを読出すタイミングのうち、最初のデータの読出しタイミングを含んだ所定周期のデータの読出しタイミングを検出する第2の検出回路と、第2の検出回路によって検出されたタイミングにおいてランダムアクセスメモリから出力されるデータを選択して出力し、第2の検出回路によって検出されたタイミング以外のタイミングにおいて加算器から出力されるデータを選択して出力する第2のセレクタとを含む。

【0025】

したがって、ランダムアクセスメモリから出力されるデータと、加算器から出力されるデータとの選択を適切に行うことが可能となる。

【0026】

請求項10に記載のデータ処理方法は、ランダムアクセスメモリにアクセスし

ながらデータ処理を行うデータ処理方法であって、書込みデータのうち所定値を有するビットの数が所定数以上となるように、書込みデータを変換するステップと、変換された書込みデータをランダムアクセスメモリに書込むステップとを含む。

【0027】

書込みデータのうち所定値を有するビットの数が所定数以上となるように、データを変換してランダムアクセスメモリへ書込むので、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となる。

【0028】

請求項11に記載のデータ処理方法は、ランダムアクセスメモリにアクセスしながらデータ処理を行うデータ処理方法であって、前回の書込みデータを保持するステップと、保持された前回の書込みデータと今回の書込みデータとの差分をとるステップと、差分データをランダムアクセスメモリに書込むステップとを含む。

【0029】

保持された前回の書込みデータと今回の書込みデータとの差分をとるので、データ間の相関が高い場合に、“0”のビット数が多くなるようにデータを変換することができる。したがって、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となる。

【0030】

請求項12に記載のデータ処理方法は、請求項11に記載のデータ処理方法であって、さらに差分データを可変長符号化するステップを含む。

【0031】

したがって、ランダムアクセスメモリへのデータの書込み頻度を少なくすることができ、データ書込み時におけるランダムアクセスメモリの消費電力を削減す

ることが可能となる。

【0032】

【発明の実施の形態】

（実施の形態1）

図1は、本発明の実施の形態1におけるデータ処理装置のメモリへのデータ書込み時における処理手順を説明するためのフローチャートである。本実施の形態におけるデータ処理装置においては、搭載されるメモリがSRAMの場合にその効果が大きくなるが、DRAMや擬似SRAM等のメモリを用いることも可能である。なお、CPU（Central Processing Unit）およびメモリが一度に取扱えるビット数を、 n ビットとして説明する。

【0033】

まず、CPUがメモリに n ビットのデータを書込む際に、 n ビットのデータのうち“0”のビット数がカウントされ（S1）、その“0”のビット数が $n/2$ 以上であるか否かが判定される（S2）。“0”のビット数が $n/2$ 以上であれば（S2, Yes）、フラグに“0”がセットされ（S3）、 n ビットのデータと1ビットのフラグとがメモリに書込まれる（S5）。

【0034】

また、“0”のビット数が $n/2$ 未満であれば（S2, No）、フラグに“1”がセットされるとともに、 n ビットのデータの各ビットが反転され（S4）、その反転された n ビットのデータと1ビットのフラグとがメモリに書込まれる（S5）。

【0035】

図2は、本発明の実施の形態1におけるデータ処理装置のメモリからのデータ読出し時における処理手順を説明するためのフローチャートである。まず、CPUがメモリから n ビットのデータを読出す際に、メモリからフラグとデータとが読出され（S11）、フラグが“0”であるか否かが判定される（S12）。フラグが“0”であれば（S12, Yes）、メモリからのデータがそのまま出力されて、CPUがそのデータを読込む（S14）。

【0036】

また、フラグが“1”であれば（S12, No）、メモリからのデータが反転されて出力され（S13）、CPUによってその反転されたデータが読込まれる（S14）。

【0037】

図3は、図1および図2に示す本実施の形態におけるデータ処理装置の処理内容の一例を模式的に示す図である。この処理内容においては、メモリのビット数を8ビットとし、それぞれのデータに1ビットのフラグが付加されている。たとえば、入力データ（CPUがメモリに書込むデータ）が“00010010”の場合には、“0”のビット数が6ビットであるので、フラグに“0”がセットされてメモリに書込まれるとともに、CPUから出力されるデータがそのままメモリに書込まれる。CPUがメモリからこのデータを読出す場合には、メモリから出力されるデータがそのまま出力データ（CPUがメモリから読込むデータ）として出力される。

【0038】

入力データが“11101100”の場合には、“0”のビット数が3ビットであるので、フラグに“1”がセットされてメモリに書込まれるとともに、CPUから出力されるデータが反転され、“00010011”がメモリに書込まれる。CPUがメモリからこのデータを読出す場合には、メモリから出力されるデータが反転され、“11101100”が出力データとして出力される。

【0039】

このように、常に“0”のビット数が多くなるようにデータを書換えてメモリに書込むようにしたので、メモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、メモリに対するデータ書込み時におけるメモリの消費電力を削減することが可能となる。

【0040】

図4は、本発明の実施の形態1におけるデータ処理装置の概略構成を示すブロック図である。このデータ処理装置は、CPU1と、CPU1がシステムバスに出力するデータのうち“0”のビット数を検出し、その検出結果をフラグとして出力する“0”検出回路2と、“0”検出回路2から出力されるフラグに応じて

、CPU1から出力されるデータおよびその反転データのいずれかを選択して出力するセレクタ3と、メモリ4と、メモリ4から出力されるフラグに応じて、メモリ4から出力されるデータおよびその反転データのいずれかを選択して出力するセレクタ5と、インバータ6および7と、バッファ8とを含む。

【0041】

なお、図4に示すデータ処理装置の各回路は、1つの半導体チップ上に集積して構成されることを想定しているが、これに限られるものではない。たとえば、CPU1とメモリ4とを別の半導体チップとし、それ以外の回路をCPU1またはメモリ4の半導体チップ上に集積するようにしても良い。

【0042】

セレクタ3および5と、インバータ6および7と、バッファ8とは、それぞれシステムバスのビット数と同じ数だけあるものとする。また、CPU1、メモリ4およびバッファ8の制御信号は記載していないが、一般的なデータ処理装置におけるものと同様であるので、詳細な説明は行わない。

【0043】

“0”検出回路2は、入力データのうち“0”のビット数を検出し、そのビット数が予め定められた値以上の場合には、フラグに“0”をセットして出力する。また、入力データのうち“0”のビット数が予め定められた値未満の場合には、フラグに“1”をセットして出力する。

【0044】

セレクタ3は、“0”検出回路2から出力されたフラグが“0”の場合には、システムバスの入力データを選択して出力する。また、セレクタ3は、“0”検出回路2から出力されたフラグが“1”の場合には、インバータ6によって反転されたデータを選択して出力する。“0”検出回路2から出力されるフラグおよびセレクタ3から出力されるデータは、CPU1がメモリ4にデータを書込むタイミングでメモリ4に書込まれる。

【0045】

セレクタ5は、メモリ4から出力されるフラグが“0”の場合には、メモリ4から出力されるデータを選択して出力する。また、セレクタ5は、メモリ4から

出力されるフラグが“1”の場合には、インバータ7によって反転されたデータを選択して出力する。バッファ8は、CPU1がメモリ4からデータを読出すタイミングで、セクタ5から出力されるデータを出力し、それ以外のときにはハイ・インピーダンスとなる。

【0046】

図5は、“0”検出回路2の概略構成を示すブロック図である。この“0”検出回路2は、FA (Full Adder) 11～17と、しきい値格納部18と、比較回路19とを含む。なお、この“0”検出回路2は、システムバスのビット数が8ビットの場合のものであるが、システムバスのビット数が16ビット、32ビット等であってもFAの数を増やして同様に構成することができ。また、信号A[0]～A[7]は、それぞれシステムバス（データバス）の各ビットを反転した信号である。

【0047】

FA 11～14はそれぞれ、2つの1ビットデータを入力して加算し、2ビットのデータとして出力する。FA 15および16はそれぞれ、2つの2ビットデータを入力して加算し、3ビットのデータとして出力する。FA 17は、2つの3ビットデータを入力して加算し、4ビットのデータとして出力する。

【0048】

しきい値格納部18は、フラグを決定する際に使用されるしきい値が予め格納されている。比較回路19は、FA 17から出力される“0”のビット数と、しきい値格納部18から出力されるしきい値とを比較し、“0”のビット数がしきい値以上であればフラグ“0”を出力し、“0”のビット数がしきい値未満であればフラグ“1”を出力する。このしきい値は、たとえばデータが8ビットなら4、16ビットなら8、32ビットなら16である。

【0049】

以上の説明においては、常に“0”のビット数が多くなるようにデータを書換えてメモリ4に書込むようにしたが、常に“1”のビット数が多くなるようにデータを書換えてメモリ4に書き込むようにしても同様の効果が得られる。

【0050】

以上説明したように、本実施の形態におけるデータ処理装置によれば、常に“0”のビット数または“1”のビット数が多くなるようにデータを書換えてメモリ4に書き込むようにしたので、メモリ4内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、メモリ4に対するデータ書込み時におけるメモリの消費電力を削減することが可能となった。

【0051】

（実施の形態2）

図6は、本発明の実施の形態2におけるデータ処理装置の概略構成を示すブロック図である。このデータ処理装置は、CPU1と、CPU1がシステムバスに出力するデータのうち“0”のビット数を検出し、その検出結果をフラグとして出力する“0”検出回路2と、“0”検出回路2から出力されるフラグに応じて、CPU1から出力されるデータおよびその反転データのいずれかを選択して出力するセクタ3と、メモリ4と、メモリ4から出力されるデータおよびその反転データのいずれかを選択して出力するセクタ5と、インバータ6および7と、バッファ8と、“0”検出回路2から出力されるフラグが書込まれるメモリ9とを含む。

【0052】

なお、図6に示すデータ処理装置の各回路は、1つの半導体チップ上に集積して構成されることを想定しているが、これに限られるものではない。たとえば、CPU1とメモリ4とを別の半導体チップとし、それ以外の回路をCPU1またはメモリ4の半導体チップ上に集積するようにしても良い。

【0053】

“0”検出回路2は、入力データのうち“0”のビット数を検出し、そのビット数が予め定められた値以上の場合には、フラグに“0”をセットして出力する。また、入力データのうち“0”のビット数が予め定められた値未満の場合には、フラグに“1”をセットして出力する。

【0054】

セクタ3は、“0”検出回路2から出力されたフラグが“0”の場合には、

システムバスの入力データを選択して出力する。また、セクタ3は、“0”検出回路2から出力されたフラグが“1”の場合には、インバータ6によって反転されたデータを選択して出力する。“0”検出回路2から出力されるフラグは、CPU1がメモリ4にデータを書込むタイミングでメモリ9に書込まれる。セクタ3から出力されるデータは、CPU1がメモリ4にデータを書込むタイミングでメモリ4に書込まれる。なお、フラグは、メモリ4に書込まれるそれぞれのデータに対応してメモリ9に書込まれ、メモリ4からデータが読出される際に対応するフラグもメモリ9から同時に読出される。

【0055】

セクタ5は、メモリ9から出力されるフラグが“0”の場合には、メモリ4から出力されるデータを選択して出力する。また、セクタ5は、メモリ9から出力されるフラグが“1”の場合には、インバータ7によって反転されたデータを選択して出力する。バッファ8は、CPU1がメモリ4からデータを読出すタイミングで、セクタ5から出力されるデータを出力し、それ以外のときにはハイ・インピーダンスとなる。

【0056】

以上の説明においては、メモリ9にフラグが書込まれる場合であったが、フリップフロップ等の値を保持する回路にフラグが書込まれるようにしても、同様の効果が得られる。

【0057】

以上説明したように、本実施の形態におけるデータ処理装置によれば、常に“0”のビット数または“1”のビット数が多くなるようにデータを書換えてメモリ4に書き込むようにしたので、メモリ4内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、メモリ4に対するデータ書込み時におけるメモリの消費電力を削減することが可能となった。

【0058】

(実施の形態3)

本実施の形態におけるデータ処理装置は、連続的にメモリへのデータの書込み

およびメモリからのデータの読出しを行い、かつそれらのデータ間において相関が高い場合に適した構成を有している。すなわち、前回の入力データと今回の入力データとが近似したものであるため、メモリにデータを書込む際に、前回の入力データと今回の入力データとの差分をとって、“0”のビット数が多くなるようにデータを書換えるものである。

【0059】

図7は、本発明の実施の形態3におけるデータ処理装置の概略構成を示すブロック図である。データ処理装置は、CPU1と、メモリ4と、前回の入力データを保持するFF (Flip Flop) 21と、FF21に保持される前回の入力データと今回の入力データとの差分をとる差分器22と、周期的にリフレッシュフラグを生成して出力するリフレッシュフラグ生成回路23と、リフレッシュフラグ生成回路23から出力されるリフレッシュフラグに応じて差分器22から出力されるデータとシステムバスの入力データとを切替えてメモリ4へ出力するセレクタ24と、前回の出力データを保持するFF25と、FF25に保持される前回の出力データとメモリ4から出力される差分データとを加算する加算器26と、周期的にリフレッシュフラグを生成して出力するリフレッシュフラグ生成回路27と、リフレッシュフラグ生成回路27から出力されるリフレッシュフラグに応じてメモリ4から出力される出力データと加算器26から出力される出力データとを切替えて出力するセレクタ28と、バッファ29とを含む。なお、FF21および25と、セレクタ24および28と、バッファ29とは、それぞれシステムバスのビット数と同じ数だけあるものとする。

【0060】

なお、図7に示すデータ処理装置の各回路は、1つの半導体チップ上に集積して構成されることを想定しているが、これに限られるものではない。たとえば、CPU1とメモリ4とを別の半導体チップとし、それ以外の回路をCPU1またはメモリ4の半導体チップ上に集積するようにしても良い。

【0061】

書込み制御信号は、CPU1がメモリ4にデータを書込む際に出力される信号である。読出し制御信号は、CPU1がメモリ4からデータを読出す際に出力さ

れる信号である。FF 21 は、書込み制御信号に応じて入力データを保持して差分器 22 へ出力する。差分器 22 は、FF 21 から出力される前回の入力データと今回の入力データとの差分をとってセレクタ 24 へ出力する。

【0062】

リフレッシュフラグ生成回路 23 は、書込み制御信号の数をカウントしており、入力データのうち先頭データの書込み時と、先頭データから一定周期の入力データの書込み時とにおいて、リフレッシュフラグを“1”にしてセレクタ 24 へ出力する。それ以外の入力データの書込み時においては、リフレッシュフラグを“0”にしてセレクタ 24 へ出力する。

【0063】

セレクタ 24 は、リフレッシュフラグが“1”のときに、システムバスの入力データをメモリ 4 へ出力する。リフレッシュフラグが“0”のときに、差分器 22 から出力される差分データをメモリ 4 へ出力する。このようにして、一定周期の書込みタイミングで差分をとらない入力データをメモリ 4 に書込み、それ以外の書込みタイミングで差分データをメモリ 4 に書込む。

【0064】

FF 25 は、読出し制御信号に応じてセレクタ 28 から出力される出力データを保持して加算器 26 へ出力する。加算器 26 は、FF 25 から出力される前回の出力データとメモリ 4 から出力される差分データとを加算してセレクタ 28 へ出力する。

【0065】

リフレッシュフラグ生成回路 27 は、読出し制御信号の数をカウントしており、出力データのうち先頭データの読出し時と、先頭データから一定周期の出力データの読出し時とにおいて、リフレッシュフラグを“1”にしてセレクタ 28 へ出力する。それ以外の実出力データの読出し時においては、リフレッシュフラグを“0”にしてセレクタ 28 へ出力する。なお、入力データの書込み時における先頭データと、出力データの読出し時における先頭データとは、同じアドレスに格納される同じデータである。また、入力データの書込み時における周期と、出力データの読出し時における周期とは、同じ周期である。

【0066】

セクタ28は、リフレッシュフラグが“1”のときに、メモリ4から出力される出力データをシステムバスへ出力する。リフレッシュフラグが“0”のときに、加算器26から出力される出力データをシステムバスへ出力する。このようにして、一定周期の読出しタイミングで差分をとらない出力データをメモリ4から読出してシステムバスへ出力し、それ以外の読出しタイミングで差分データをメモリ4から読出し、前回の出力データと差分データとを加算してシステムバスへ出力する。

【0067】

図8は、図7に示す本実施の形態におけるデータ処理装置の処理内容の一例を模式的に示す図である。この処理内容においては、メモリのビット数を8ビットとし、それぞれのデータに1ビットのサインビットが付加されている。このサインビットは、前回の入力データの方が今回の入力データよりも大きい場合に“0”がセットされ、前回の入力データの方が今回の入力データよりも小さい場合に“1”がセットされる。サインビットが“1”の場合には、（前回の入力データ－今回の入力データ）の2の補数が差分データとしてメモリ4に書込まれる。

【0068】

なお、サインビットの生成回路は図示していないが、差分器22が前回の入力データと今回の入力データとの差分をとる際に、最上位ビットでボローが発生した場合にはサインビットに“1”をセットし、ボローが発生しなかった場合にはサインビットに“0”をセットする回路によって実現される。

【0069】

出力データの読出し時に、サインビットが“1”の場合には、加算器26がメモリ4から出力される差分データと、FF25から出力される前回の出力データとを加算することによって、出力データを生成する。また、出力データの読出し時に、サインビットが“0”の場合には、加算器26がメモリ4から出力される差分データの2の補数と、FF25から出力される前回の出力データとを加算することによって、出力データを生成する。

【0070】

たとえば、入力データの書込み時において、前回の入力データが“00110010”、今回の入力データが“00111000”の場合には、サインビットに“1”がセットされ、そのサインビットと差分データ“00000110”とがメモリ4に書込まれる。また、前回の入力データが“00110111”、今回の入力データが“00110100”の場合には、サインビットに“0”がセットされ、そのサインビットと差分データ“00000011”とがメモリ4に書込まれる。

【0071】

また、出力データの読出し時において、前回の出力データが“00110010”、サインビットが“1”、差分データが“00000110”の場合には、加算器26が前回の出力データと差分データとを加算してセレクタ28へ出力する。前回の出力データが“00110111”、サインビットが“0”、差分データが“00000011”の場合には、加算器26が前回の出力データと差分データの2の補数とを加算してセレクタ28へ出力する。

【0072】

このように、差分データに符号付表現を用いることによって、MSB (Most Significant Bit) 側に“0”が多く出現するようになり、メモリ4への入力データの書込み時において、メモリ4の各メモリセルが“0”から“1”または“1”から“0”に書換えられる頻度を少なくすることができる。

【0073】

以上説明したように、本実施の形態におけるデータ処理装置によれば、データ間の相関が高い場合に、前回の入力データと今回の入力データとの差分をとることにより、“0”のビット数が多くなるようにしてメモリ4に書き込むようにしたので、メモリ4内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、メモリに対するデータ書込み時におけるメモリの消費電力を削減することが可能となった。

【0074】

(実施の形態4)

本実施の形態におけるデータ処理装置は、連続的にメモリへのデータの書込み

およびメモリからのデータの読出しを行い、かつそれらのデータ間において相関が高い場合に適した構成を有している。すなわち、前回の入力データと今回の入力データとが近似したものであるため、メモリにデータを書込む際に、前回の入力データと今回の入力データとの差分をとり、さらに可変長符号化を行って差分データを圧縮することによって、メモリ4へのアクセス頻度を少なくしたものである。

【0075】

図9は、本発明の実施の形態4におけるデータ処理装置の概略構成を示すブロック図である。データ処理装置は、CPU1と、メモリ4と、前回の入力データを保持するFF (Flip Flop) 21と、FF 21に保持される前回の入力データと今回の入力データとの差分をとる差分器22と、周期的にリフレッシュフラグを生成して出力するリフレッシュフラグ生成回路23と、リフレッシュフラグ生成回路23から出力されるリフレッシュフラグに応じて差分器22から出力されるデータとシステムバスの入力データとを切替えて出力するセレクタ24と、前回の出力データを保持するFF 25と、FF 25に保持される前回の出力データと差分データとを加算する加算器26と、周期的にリフレッシュフラグを生成して出力するリフレッシュフラグ生成回路27と、リフレッシュフラグ生成回路27から出力されるリフレッシュフラグに応じて出力データを切替えて出力するセレクタ28と、バッファ29と、セレクタ24から出力されるデータに対して可変長符号化を行ってメモリ4へ出力する可変長符号化器30と、メモリ4から出力された符号化データに可変長復号化を行って出力する可変長復号化器31とを含む。なお、FF 21および25と、セレクタ24および28と、バッファ29とは、それぞれシステムバスのビット数と同じ数だけあるものとする。また、可変長符号化器30および可変長復号化器31以外の構成は、図7に示す実施の形態3におけるデータ処理装置と同様であるので、詳細な説明は繰返さない。

【0076】

なお、図9に示すデータ処理装置の各回路は、1つの半導体チップ上に集積して構成されることを想定しているが、これに限られるものではない。たとえば、CPU1とメモリ4とを別の半導体チップとし、それ以外の回路をCPU1または

メモリ4の半導体チップ上に集積するようにしても良い。

【0077】

可変長符号化器30は、書込み制御信号に同期してセクタ24から出力されるデータに対して可変長符号化を行う。実施の形態3において説明したように、差分器22から出力される差分データのMSB側に“0”が多く出現するので、これらのデータに短い符号を割当てて可変長符号化を行うことにより、差分データを圧縮することができる。このようにして、一定周期の書込みタイミングで差分をとらない入力データを可変長符号化してメモリ4に書込み、それ以外の書込みタイミングで差分データを可変長符号化してメモリ4に書込む。

【0078】

可変長復号化器31は、読出し制御信号に同期してメモリ4から出力されるデータに対して可変長復号化を行い、復号化データを加算器26およびセクタ28へ出力する。加算器26は、FF25から出力される前回の出力データと可変長復号化器31から出力される可変長復号化された後の差分データとを加算してセクタ28へ出力する。

【0079】

セクタ28は、リフレッシュフラグが“1”のときに、可変長復号化器31から出力される可変長復号化された後の出力データをシステムバスへ出力する。リフレッシュフラグが“0”のときに、加算器26から出力される出力データをシステムバスへ出力する。このようにして、一定周期の読出しタイミングで、可変長復号化器31が差分をとらない出力データの符号化データをメモリ4から読出して可変長復号化を行う。それ以外の読出しタイミングで、可変長復号化器31が差分データの符号化データをメモリ4から読出して可変長復号化を行う。

【0080】

以上説明したように、本実施の形態におけるデータ処理装置によれば、データ間の相関が高い場合に、前回の入力データと今回の入力データとの差分をとった後に可変長符号化を行って差分データを圧縮することにより、メモリ4へのアクセス頻度を少なくすることができ、メモリ4に対するデータ書込み時およびメモリ4からのデータ読出し時におけるメモリ4の消費電力を削減することが可能と

なった。

【0081】

今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0082】

【発明の効果】

請求項1に記載のデータ処理装置によれば、書込みデータのうち所定値を有するビットの数が所定数以上となるように、変換部がデータを変換してランダムアクセスメモリへ出力するので、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【0083】

請求項2に記載のデータ処理装置によれば、検出回路によって設定されたフラグに基づいて、第1の選択回路がデータと第1の反転回路から出力される反転データとを選択的にランダムアクセスメモリへ出力するので、第1の値または第2の値を有するビットの数が常に多くなるようにデータを変換することが可能となった。

【0084】

請求項3に記載のデータ処理装置によれば、処理部がランダムアクセスメモリからデータを読出す際に、第2の選択回路がフラグに基づいて、ランダムアクセスメモリから出力されるデータと、第2の反転回路から出力される反転データとを選択的に処理部へ出力するので、処理部がランダムアクセスメモリからデータを読出す際に、元のデータを復元することが可能となった。

【0085】

請求項4に記載のデータ処理装置によれば、差分器が保持回路に保持される前回のデータと処理部が出力する今回のデータとの差分をとるので、データ間の相

関が高い場合に、“0”のビット数が多くなるようにデータを変換することができる。したがって、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【0086】

請求項5に記載のデータ処理装置によれば、可変長符号化器が差分器から出力された差分データを可変長符号化してランダムアクセスメモリへ出力するので、ランダムアクセスメモリへのデータの書込み頻度を少なくすることができ、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【0087】

請求項6に記載のデータ処理装置によれば、第1のセレクタが、第1の検出回路によって検出されたタイミングにおいて処理部から出力されるデータを選択して出力し、第1の検出回路によって検出されたタイミング以外のタイミングにおいて差分器から出力される差分データを選択して出力するので、処理部から出力されるデータと差分データとの選択を適切に行うことが可能となった。

【0088】

請求項7に記載のデータ処理装置によれば、加算器がランダムアクセスメモリから出力される差分データと第2の保持回路によって保持される前回のデータとを加算するので、ランダムアクセスメモリに記憶された差分データから元のデータを復元することが可能となった。

【0089】

請求項8に記載のデータ処理装置によれば、可変長復号化器がランダムアクセスメモリから出力される可変長符号化された差分データを可変長復号化して加算器へ出力するので、ランダムアクセスメモリからのデータの読出し頻度を少なくすることができ、データ読出し時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【0090】

請求項 9 に記載のデータ処理装置によれば、第 2 のセレクトが、第 2 の検出回路によって検出されたタイミングにおいてランダムアクセスメモリから出力されるデータを選択して出力し、第 2 の検出回路によって検出されたタイミング以外のタイミングにおいて加算器から出力されるデータを選択して出力するので、ランダムアクセスメモリから出力されるデータと、加算器から出力されるデータとの選択を適切に行うことが可能となった。

【0091】

請求項 10 に記載のデータ処理方法によれば、書込みデータのうち所定値を有するビットの数が所定数以上となるように、データを変換してランダムアクセスメモリへ書込むので、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【0092】

請求項 11 に記載のデータ処理方法によれば、保持された前回の書込みデータと今回の書込みデータとの差分をとるので、データ間の相関が高い場合に、“0”のビット数が多くなるようにデータを変換することができる。したがって、ランダムアクセスメモリ内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【0093】

請求項 12 に記載のデータ処理方法によれば、差分データを可変長符号化するので、ランダムアクセスメモリへのデータの書込み頻度を少なくすることができ、データ書込み時におけるランダムアクセスメモリの消費電力を削減することが可能となった。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 におけるデータ処理装置のメモリへのデータ書込み時における処理手順を説明するためのフローチャートである。

【図 2】 本発明の実施の形態 1 におけるデータ処理装置のメモリからのデ

ータ読出し時における処理手順を説明するためのフローチャートである。

【図 3】 本発明の実施の形態 1 におけるデータ処理装置の処理内容の一例を模式的に示す図である。

【図 4】 本発明の実施の形態 1 におけるデータ処理装置の概略構成を示すブロック図である。

【図 5】 “0” 検出回路 2 の概略構成を示すブロック図である。

【図 6】 本発明の実施の形態 2 におけるデータ処理装置の概略構成を示すブロック図である。

【図 7】 本発明の実施の形態 3 におけるデータ処理装置の概略構成を示すブロック図である。

【図 8】 本発明の実施の形態 3 におけるデータ処理装置の処理内容の一例を模式的に示す図である。

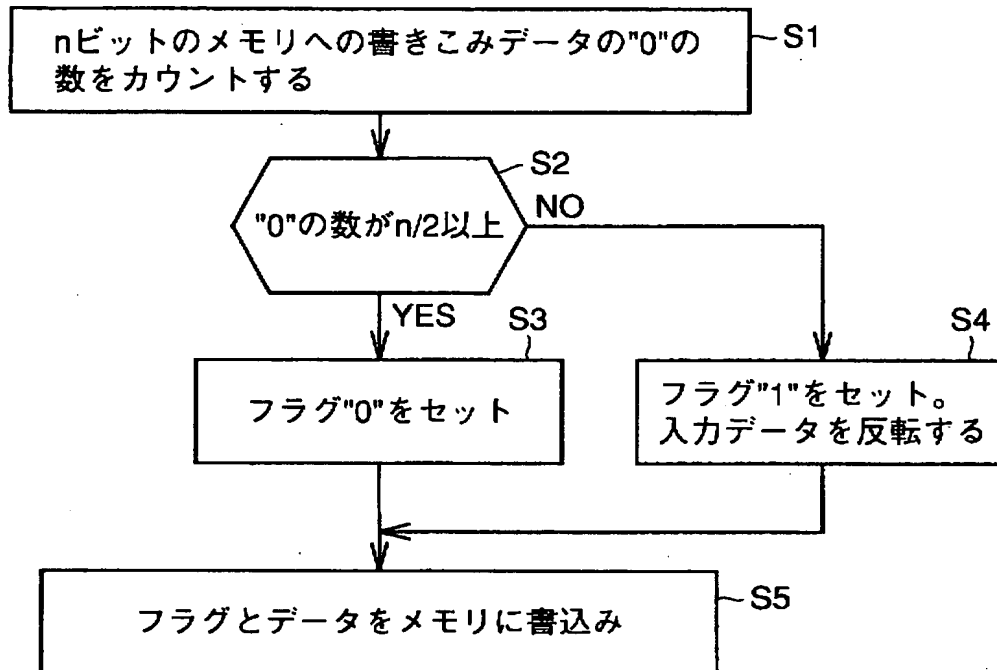
【図 9】 、本発明の実施の形態 4 におけるデータ処理装置の概略構成を示すブロック図である。

【符号の説明】

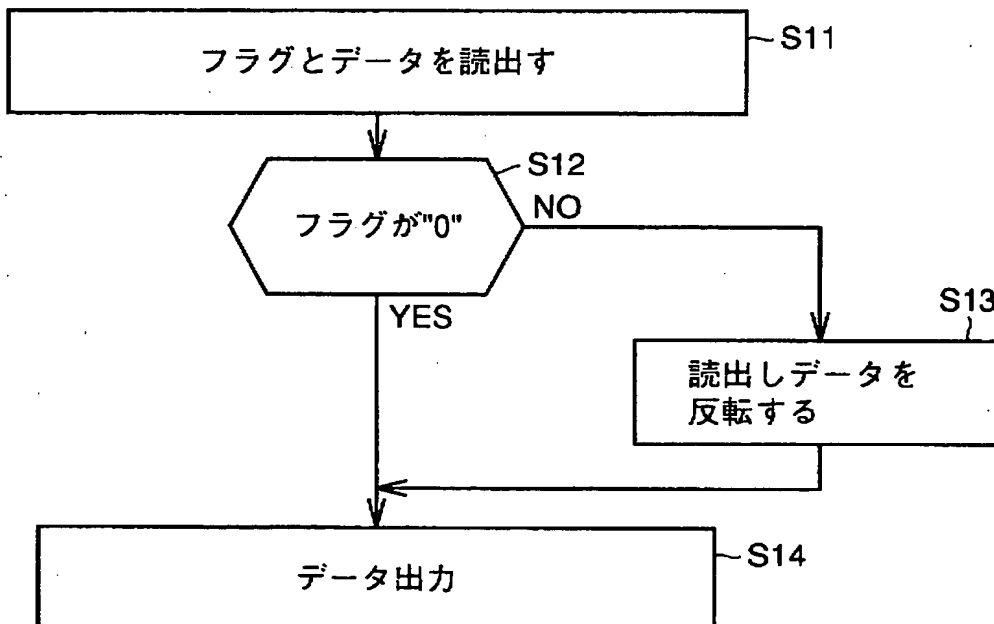
1 CPU、2 “0” 検出回路、3, 5, 24, 28 セレクタ、4, 9 メモリ、6, 7 インバータ、8, 29 バッファ、11~17 FA、18 しきい値格納部、19 比較回路、21, 25 FF、22 差分器、23, 27 リフレッシュフラグ生成回路、26 加算器、30 可変長符号化器、31 可変長復号化器。

【書類名】 図面

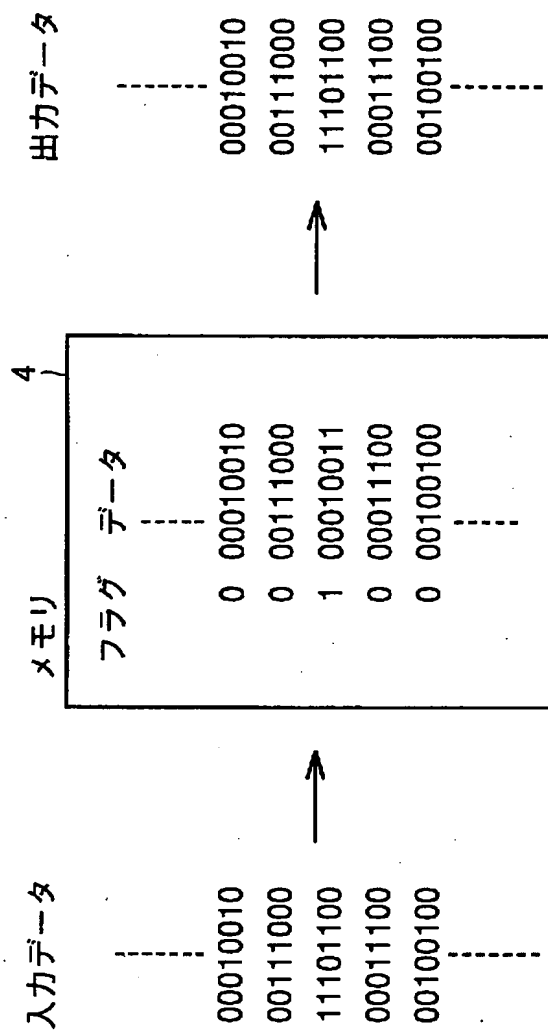
【図 1】



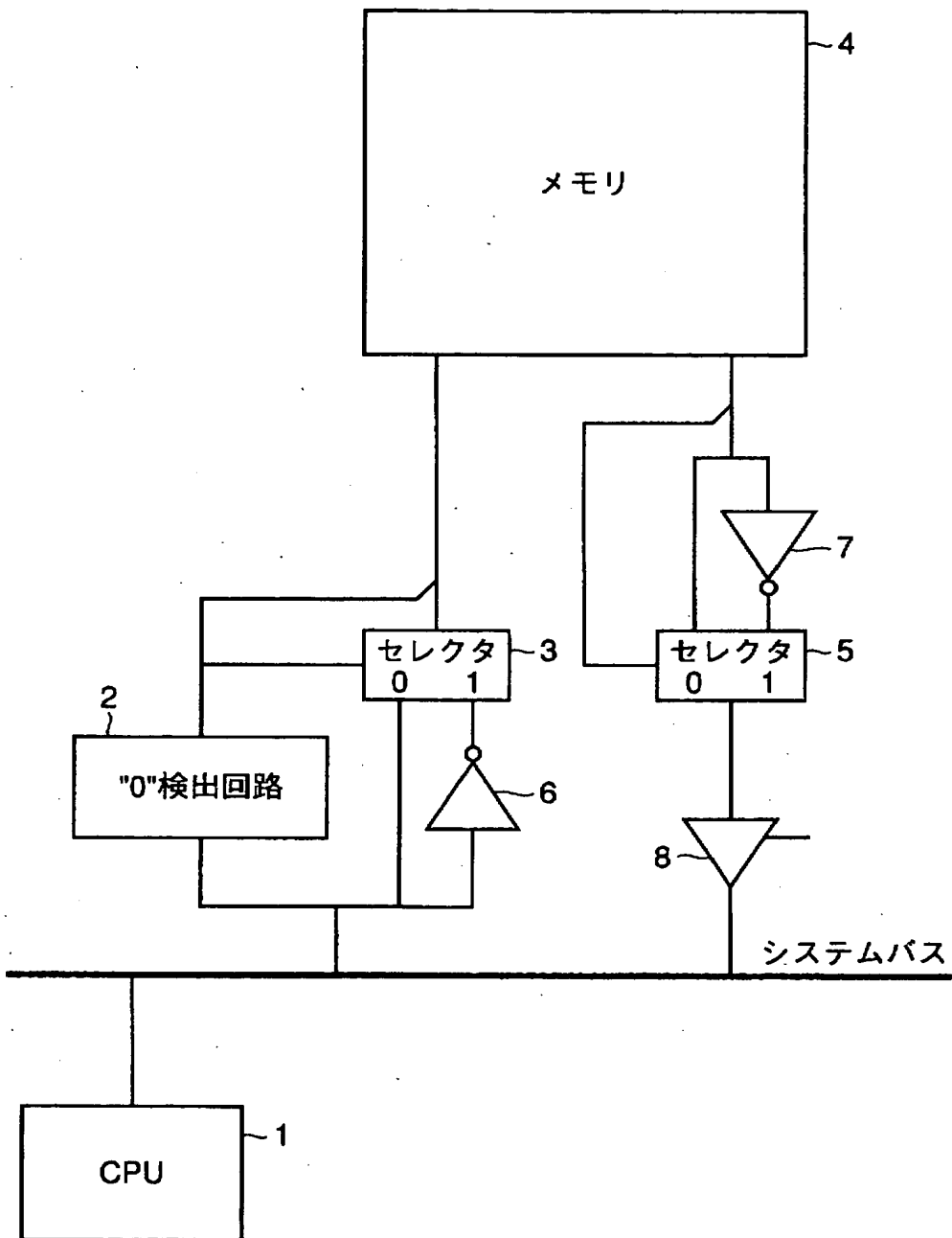
【図 2】



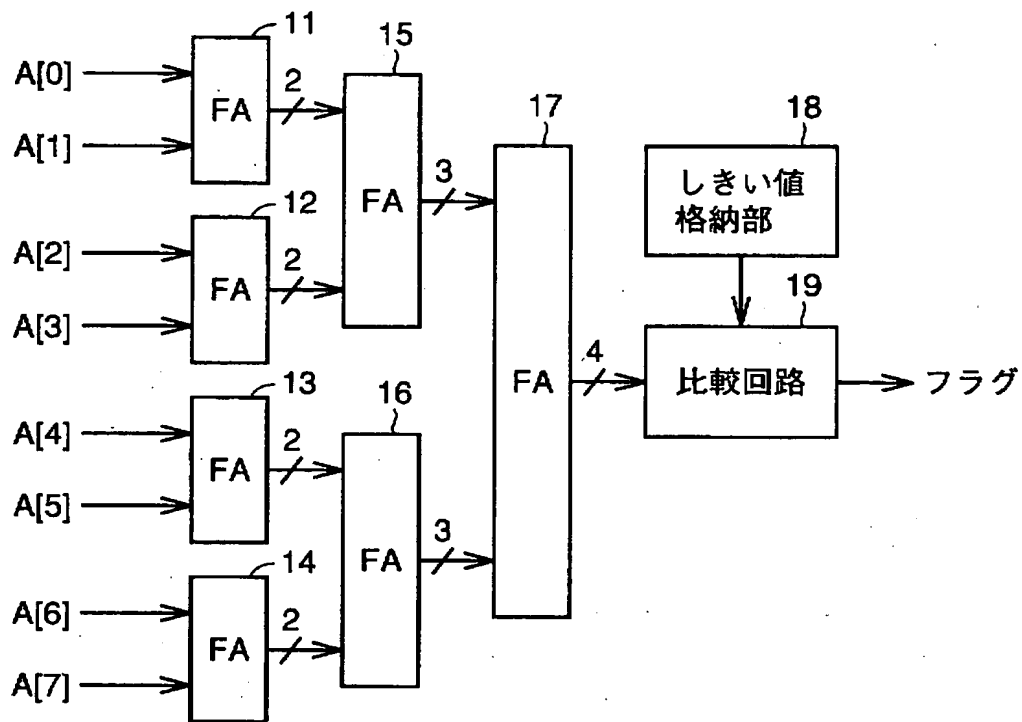
【図 3】



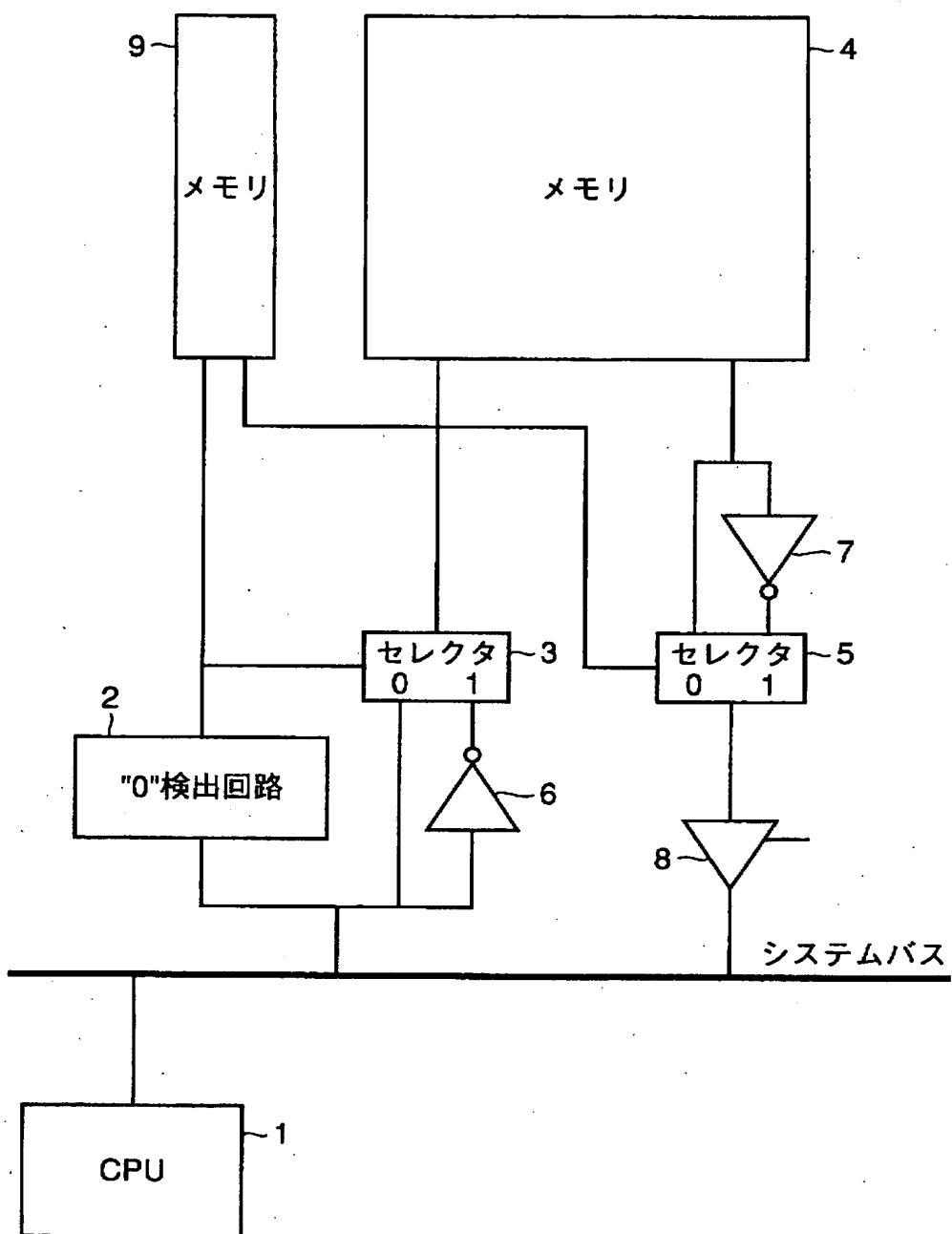
【図 4】



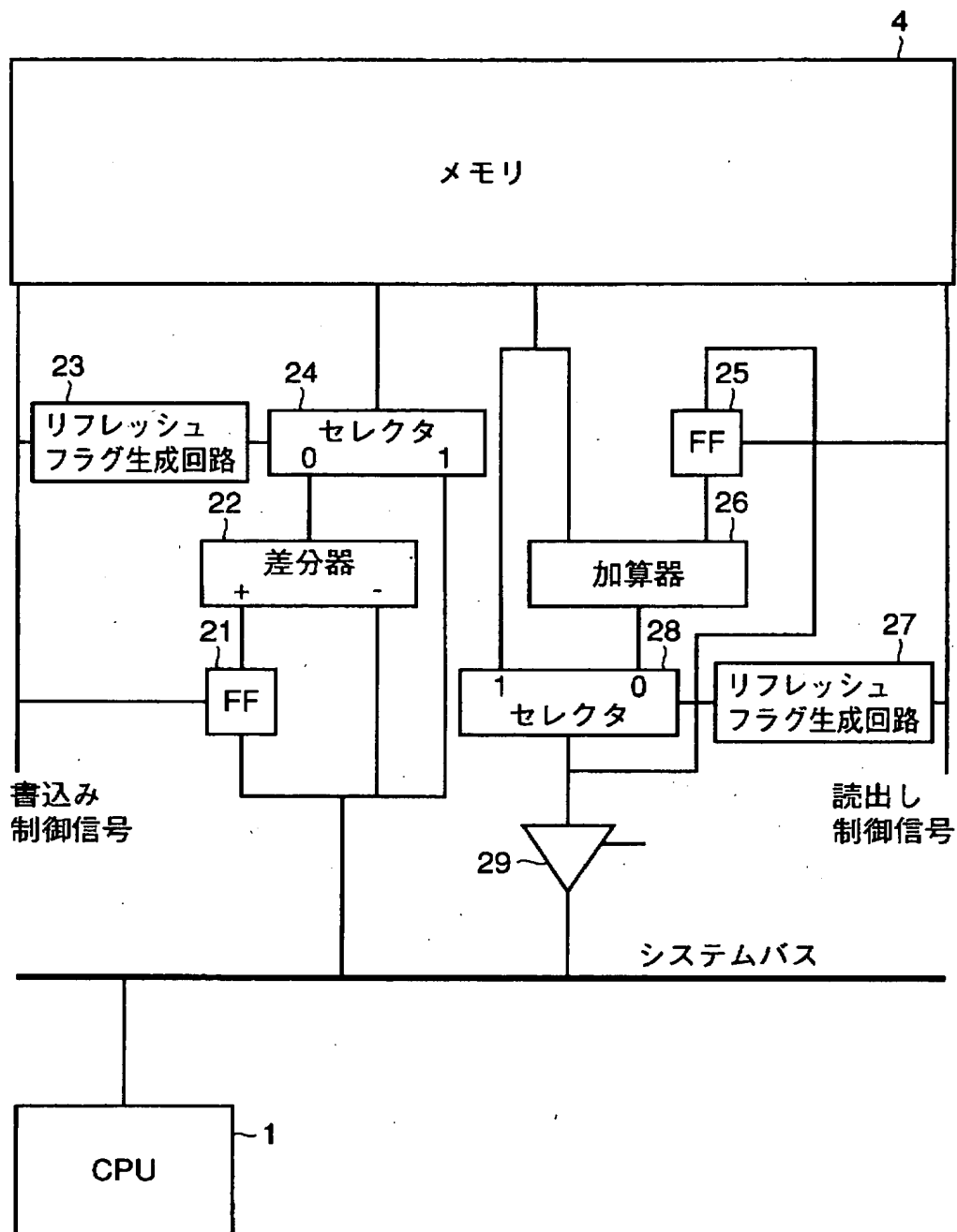
【図 5】



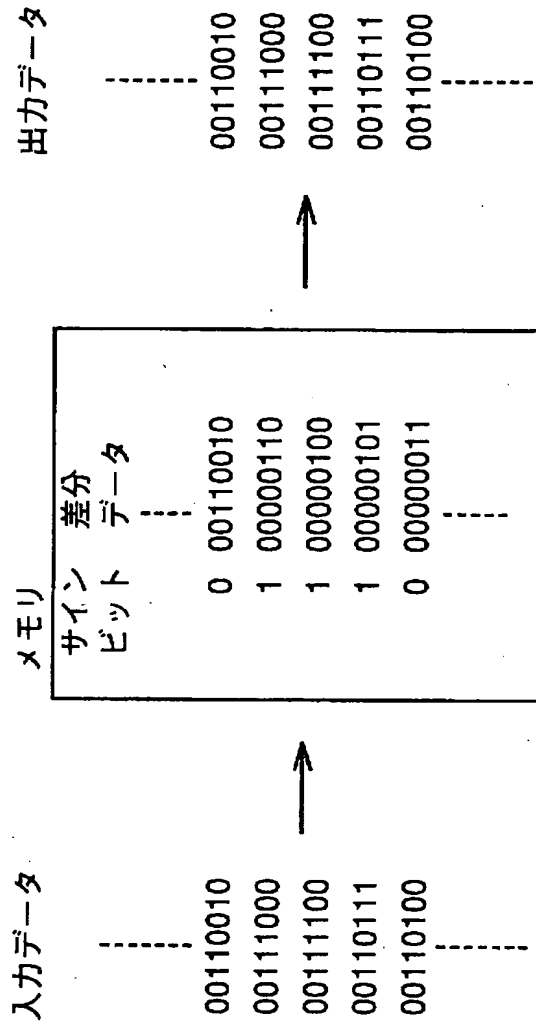
【図6】



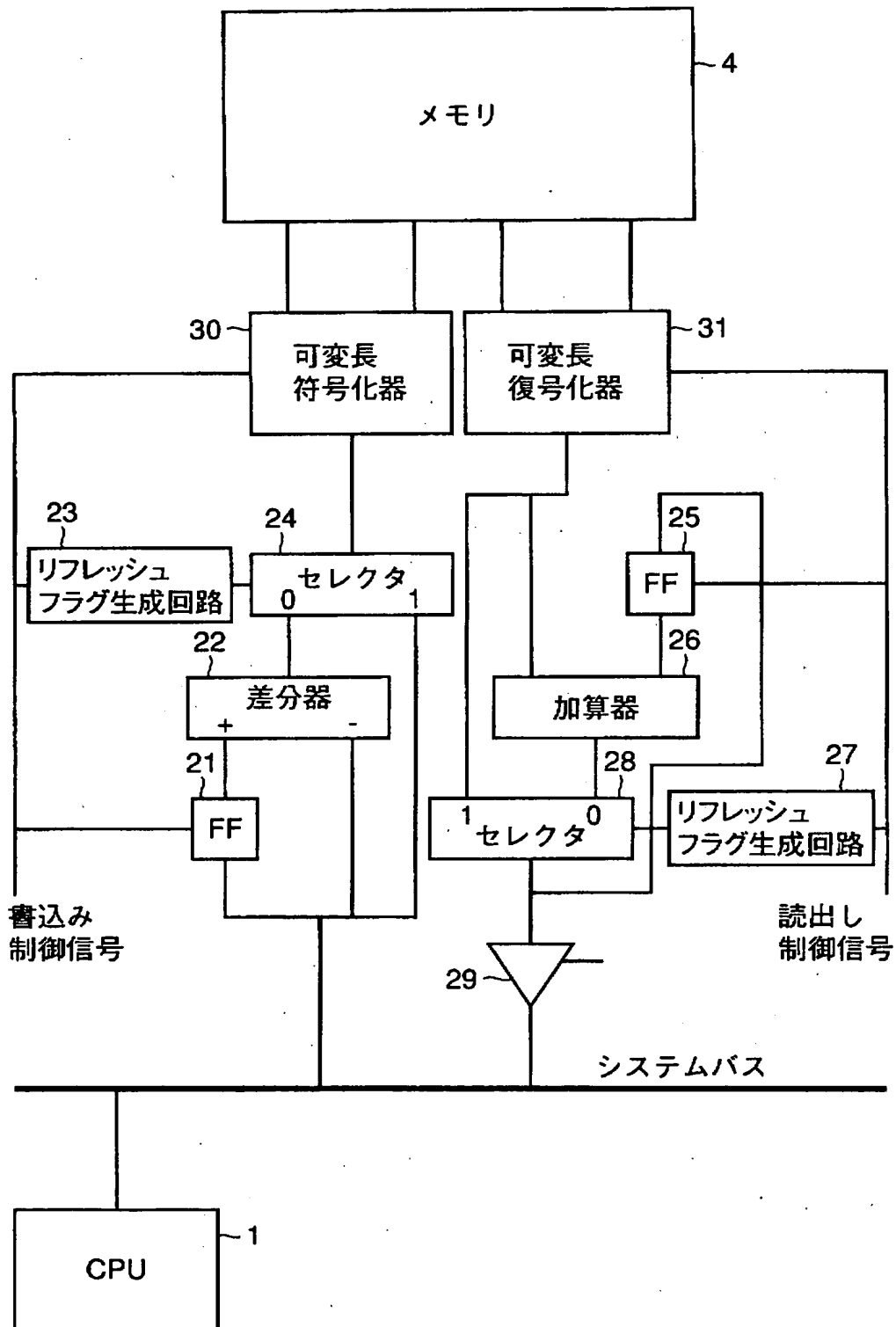
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 データ書込み時におけるメモリの消費電力を削減することが可能なデータ処理装置を提供すること。

【解決手段】 CPU1がメモリ4にデータを書込む際に、“0”検出回路2がデータのうち“0”のビットの数を検出する。そして、“0”のビットの数が“1”のビットの数以上の場合には、セクタ3を制御してCPU1から出力されるデータをメモリ4へ出力し、“0”のビットの数が“1”のビットの数未満の場合には、セクタ3を制御してCPU1から出力されるデータの反転データをメモリ4へ出力する。したがって、メモリ4内の各メモリセルが“0”から“1”、または“1”から“0”に書換えられる頻度を平均的に少なくでき、データ書込み時におけるメモリ4の消費電力を削減することが可能となる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [598132864]

1. 変更年月日 1998年 9月29日

[変更理由] 新規登録

住 所 福岡市城南区梅林2-5-32 カイザービル304

氏 名 モシニヤガ・ワシリー